Санкт-Петербургский Политехнический Университет Петра Великого

Институт Компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Лабораторная работа 3

Предмет: Проектирование реконфигурируемых гибридных вычислительных систем

Тема: Сравнение протоколов Block-Level I/O

Задание 1

Студенты: Соболь В.

Темнова А. С.

Гр. № 3540901/81502

Преподаватель: Антонов А.П.

Санкт-Петербург

2019

Оглавление

[1. Задание 3](#_Toc26402609)

[2. Скрипт для выполнения работы 6](#_Toc26402610)

[3. Первое решение 6](#_Toc26402611)

[3.1. Моделирование 6](#_Toc26402612)

[3.2. Синтез 7](#_Toc26402613)

[3.3. C|RTL моделирование 9](#_Toc26402614)

[4. Второе решение 10](#_Toc26402615)

[4.1. Моделирование 10](#_Toc26402616)

[4.2. Синтез 10](#_Toc26402617)

[4.3. C|RTL моделирование 12](#_Toc26402618)

[5. Третье решение 13](#_Toc26402619)

[5.1. Моделирование 13](#_Toc26402620)

[5.2. Синтез 14](#_Toc26402621)

[5.3. C|RTL моделирование 16](#_Toc26402622)

[6. Выводы 16](#_Toc26402623)

1. Задание

* Создать проект lab2\_1
* Подключить файл lab2\_1.c (папка source)
* Подключить тест lab2\_1\_test.c (папка source)
* Микросхема: xa7a12tcsg325-1q
* Сделать solution1
  + задать: clock period 6; clock\_uncertainty 0.1
  + осуществить моделирование
  + осуществить синтез
    - привести в отчете:
      * performance estimates=>summary
      * utilization estimates=>summary
      * Performance Profile
      * interface estimates=>summary
        + объяснить какой интерфейс использован для блока (и какие сигналы входят) и для портов (и какие сигналы входят).
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Осуществить C|RTL моделирование
    - Открыть временную диаграмму (все сигналы)
      * Отобразить два цикла обработки на одном экране
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
* Сделать solution2
  + Задать протокол (block-level): ap\_cntl\_chain
  + осуществить моделирование
  + осуществить синтез
    - привести в отчете:
      * performance estimates=>summary
      * utilization estimates=>summary
      * Performance Profile
      * interface estimates=>summary
        + объяснить какой интерфейс использован для блока (и какие сигналы входят) и для портов (и какие сигналы входят).
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Осуществить C|RTL моделирование
    - Открыть временную диаграмму (все сигналы)
      * Отобразить два цикла обработки на одном экране
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
* Сделать solution3
  + Задать протокол (block-level): ap\_cntl\_none
  + задать: clock period 10; clock\_uncertainty 0.1
  + осуществить моделирование
  + осуществить синтез
    - привести в отчете:
      * performance estimates=>summary
      * utilization estimates=>summary
      * Performance Profile
      * interface estimates=>summary
        + объяснить какой интерфейс использован для блока (и какие сигналы входят) и для портов (и какие сигналы входят).
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Осуществить C|RTL моделирование
    - Проверить происходит или нет моделирование, объяснить почему.
    - Если моделирование происходит, то открыть временную диаграмму (все сигналы)
      * Отобразить два цикла обработки на одном экране
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
* Выводы
  + Объяснить отличие протоколов block\_level

Исходные файлы с кодом устройства и теста приведены ниже.

Исходный код:

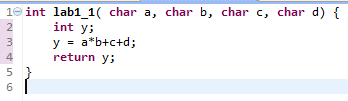


Рис. 1.1. Исходный код

Код теста:

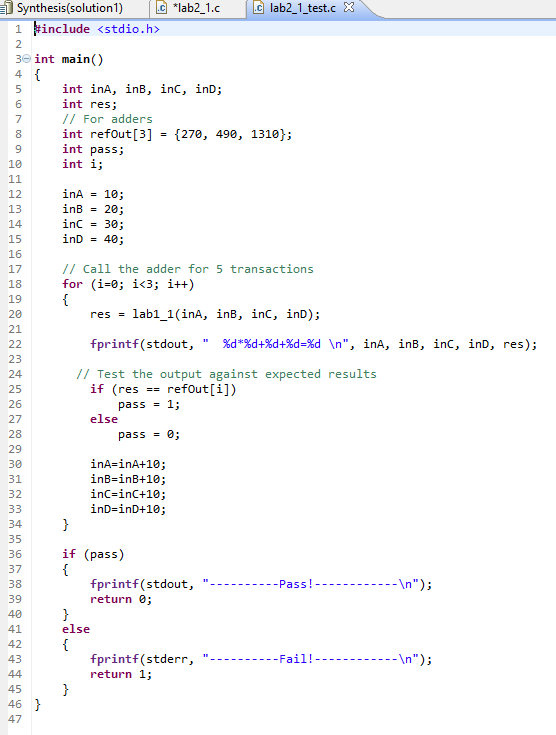


Рис. 1.2. Код теста

1. Скрипт для выполнения работы

Ниже приведён скрипт, который был написан для автоматизации выполнения работы.

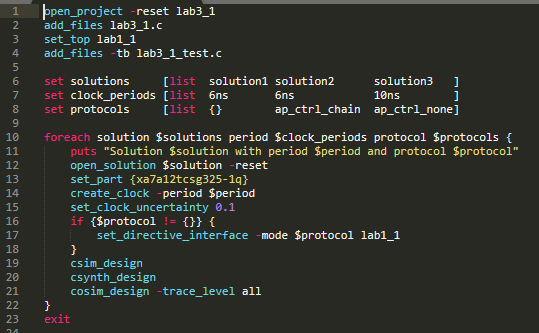


Рис 2.1. Скрипт выполнения работы

1. Первое решение
   1. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

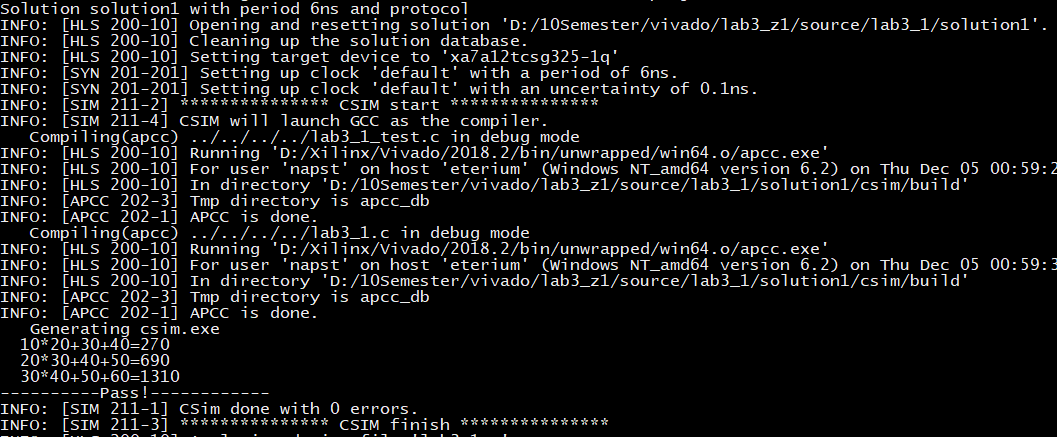


Рис 3.1. Результаты моделирования

* 1. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 3.8нс, а latency составляет 2 такта.

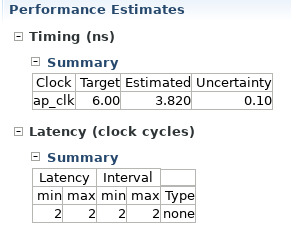


Рис. 3.2. Оценка производительности

Оценка использования ресурсов показывает, что будут использованы 37 LUT и 1 DSP блок.

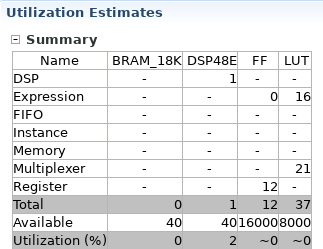


Рис. 3.3. Оценка использования ресурсов

По профилю производительности, можно сказать, что latency составляет 2 такта, а II 3 такта.

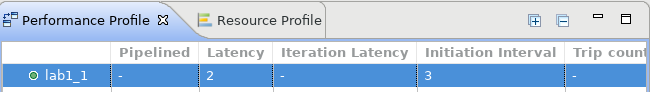


Рис. 3.4. Профиль производительности

Ниже приведён список портов устройства с указанием их протокола.

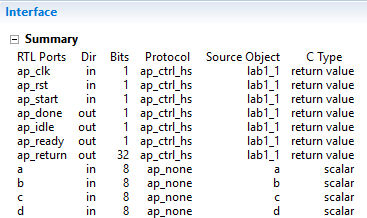


Рис. 3.5. Список портов

По списку выше, можно сделать вывод, что для возвращаемого значения используется протокол ap\_ctrl\_hs, который устанавливается по-умолчанию, а для аргументов используется протокол ap\_none.

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

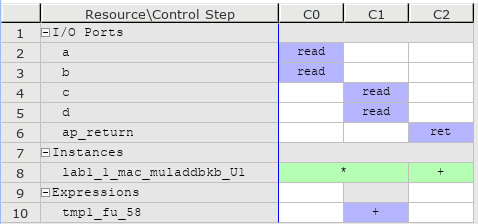


Рис. 3.6. Использование ресурсов

Ниже приведён результат работы планировщика вычислений.

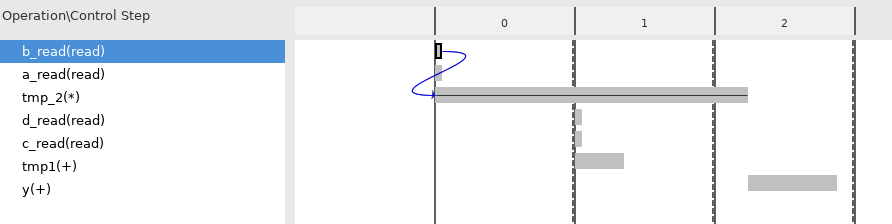


Рис. 3.7. Планировщик вычислений

* 1. C|RTL моделирование

Результат C|RTL моделирования приведён ниже. По нему видно, что latency составляет 2 такта, а II – 3 такта.

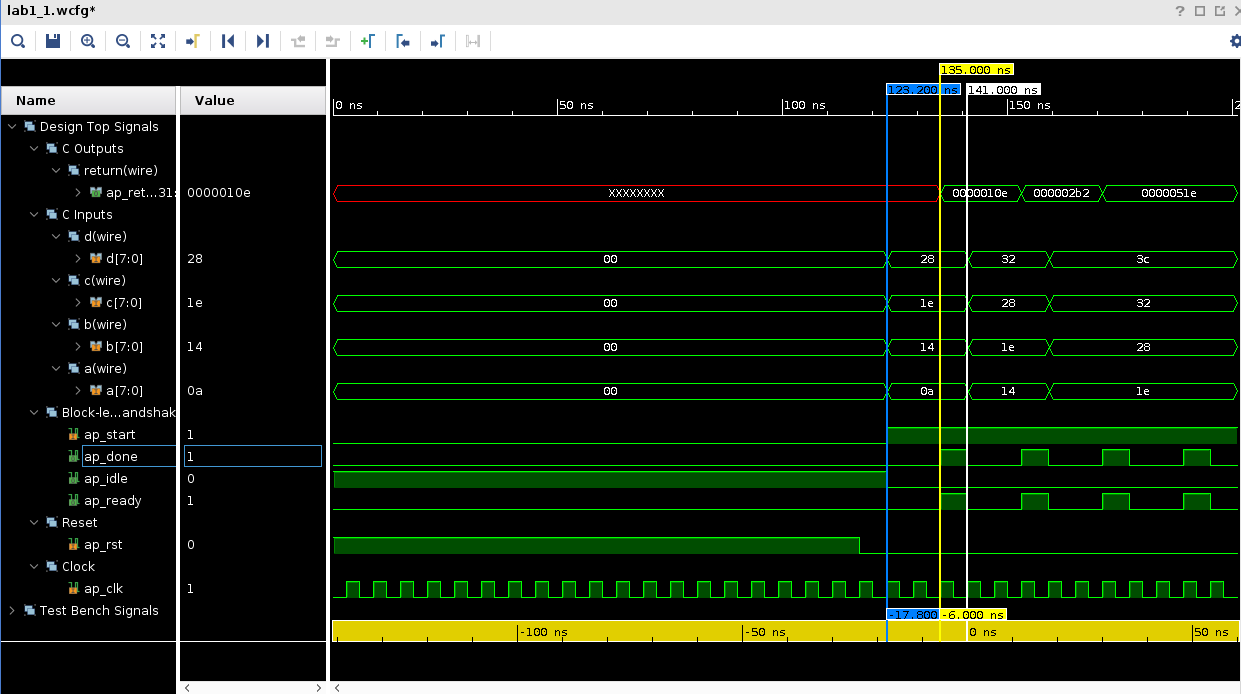


Рис. 3.8. Результат моделирования

На графике выше, latency определяется расстоянием между синим и жёлтым маркером, а II определяется расстоянием между синим и белым маркером.

1. Второе решение
   1. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

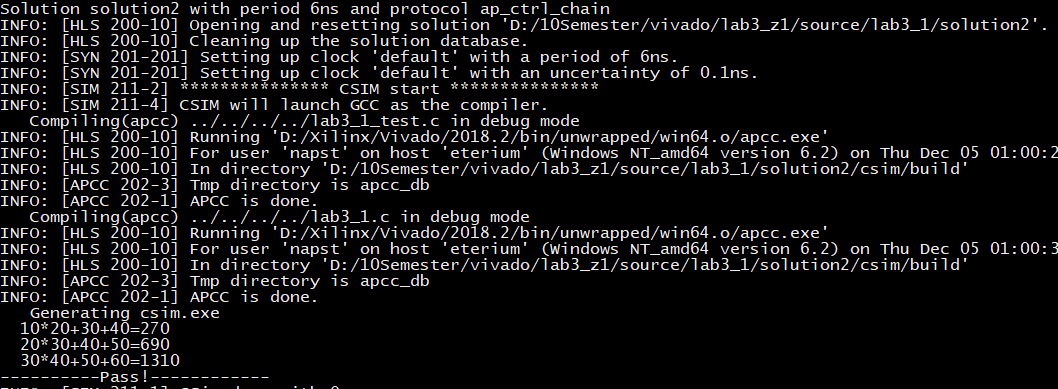


Рис 4.1. Результаты моделирования

* 1. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 3.8нс, а latency составляет 2 такта.

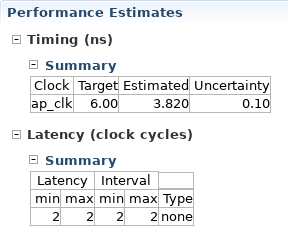


Рис. 4.2. Оценка производительности

Оценка использования ресурсов показывает, что будут использованы 63 LUT и 1 DSP блок.

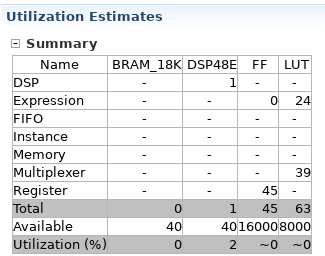


Рис. 4.3. Оценка использования ресурсов

По профилю производительности, можно сказать, что latency составляет 2 такта, а II 3 такта.

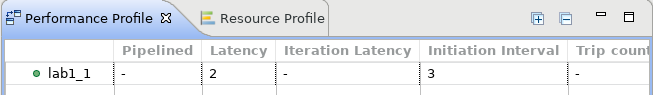


Рис. 4.4. Профиль производительности

Ниже приведён список портов устройства с указанием их протокола.

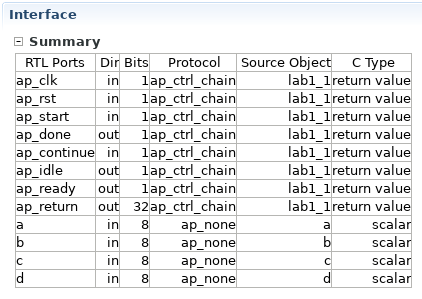


Рис. 4.5. Список портов

По списку выше, можно сделать вывод, что для возвращаемого значения используется протокол ap\_ctrl\_chain, который был установлен, а для аргументов используется протокол ap\_none.

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

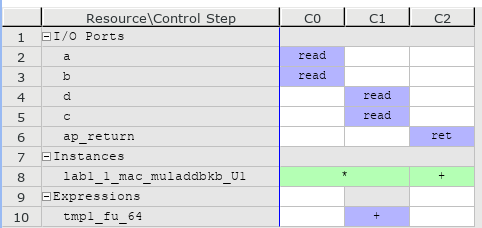


Рис. 4.6. Использование ресурсов

Ниже приведён результат работы планировщика вычислений.

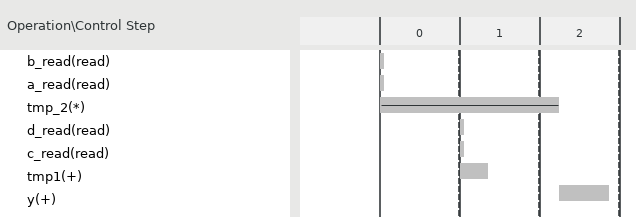


Рис. 4.7. Планировщик вычислений

* 1. C|RTL моделирование

Результат C|RTL моделирования приведён ниже. По нему видно, что latency составляет 2 такта, а II – 3 такта.

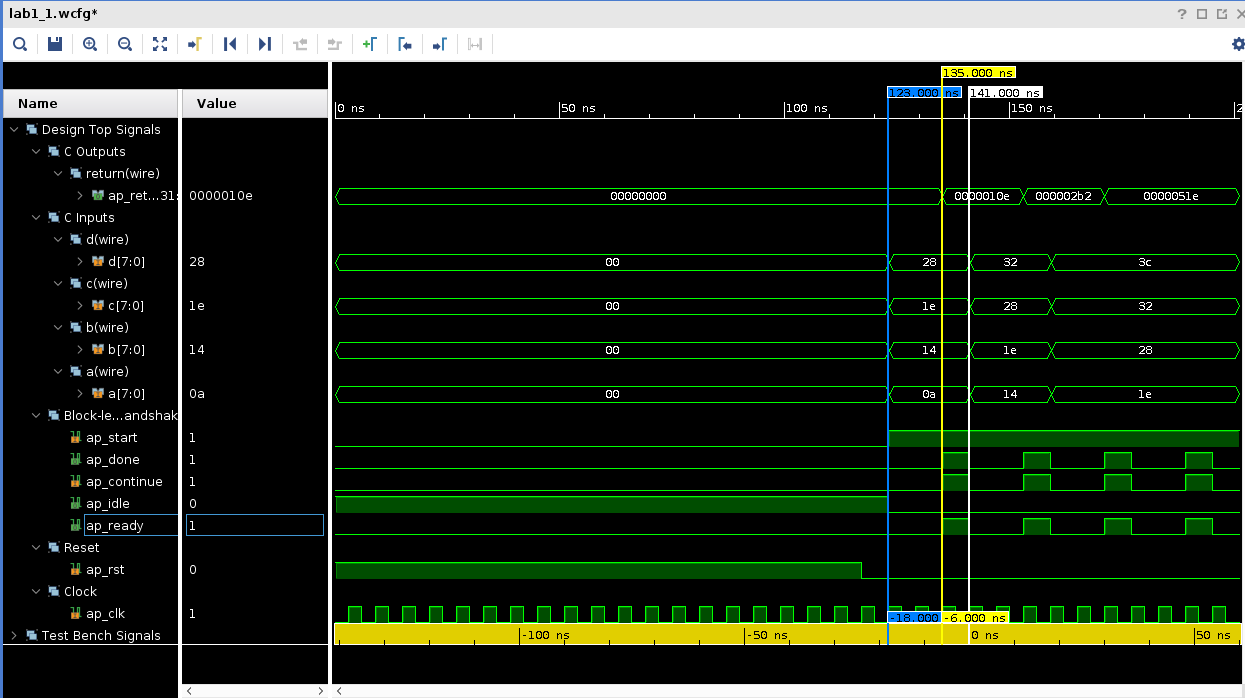


Рис. 4.8. Результат моделирования

На графике выше, latency определяется расстоянием между синим и жёлтым маркером, а II определяется расстоянием между синим и белым маркером.

1. Третье решение
   1. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

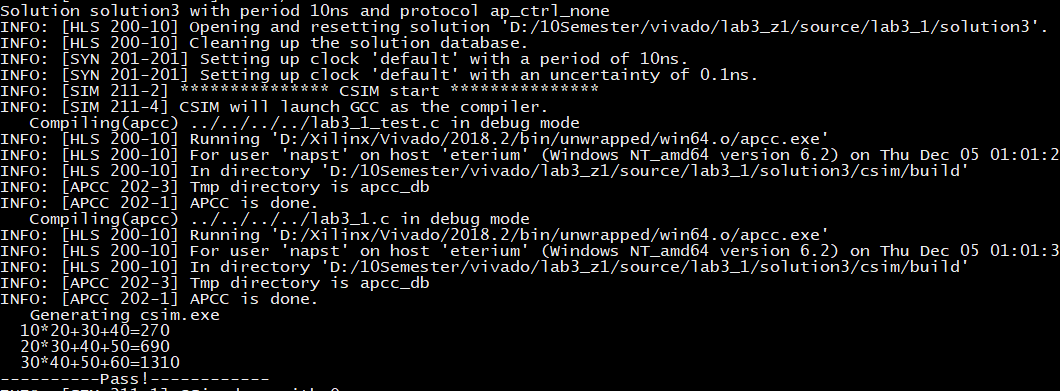


Рис 5.1. Результаты моделирования

* 1. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 7.18 нс, а latency составляет 0 тактов.

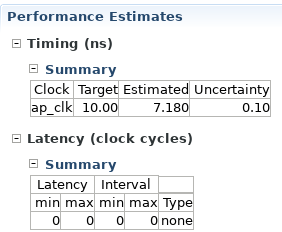


Рис. 5.2. Оценка производительности

Оценка использования ресурсов показывает, что будут использованы 16 LUT и 1 DSP блок.

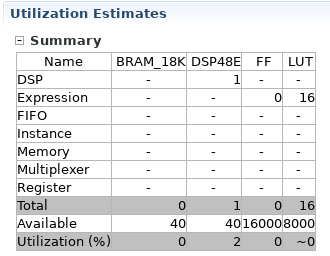


Рис. 5.3. Оценка использования ресурсов

По профилю производительности, можно сказать, что latency составляет 0 тактов, а II 1 такт.

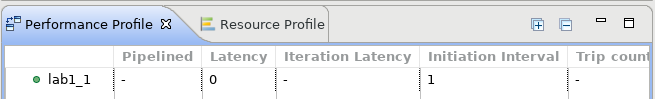


Рис. 5.4. Профиль производительности

Ниже приведён список портов устройства с указанием их протокола.

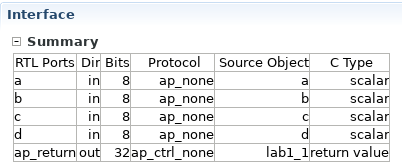


Рис. 5.5. Список портов

По списку выше, можно сделать вывод, что для возвращаемого значения используется протокол ap\_ctrl\_none, который был установлен, а для аргументов используется протокол ap\_none.

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

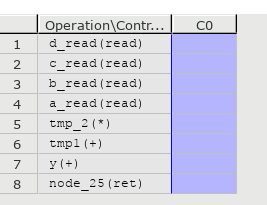


Рис. 5.6. Использование ресурсов

Ниже приведён результат работы планировщика вычислений.

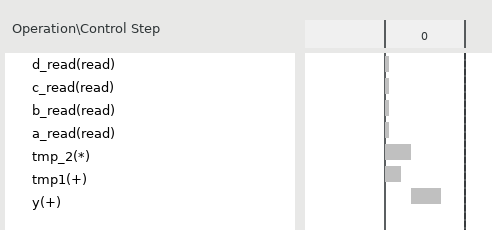


Рис. 5.7. Планировщик вычислений

* 1. C|RTL моделирование

Результат C|RTL моделирования приведён ниже. По нему видно, что latency составляет 0 тактов, а II – 1 такт.

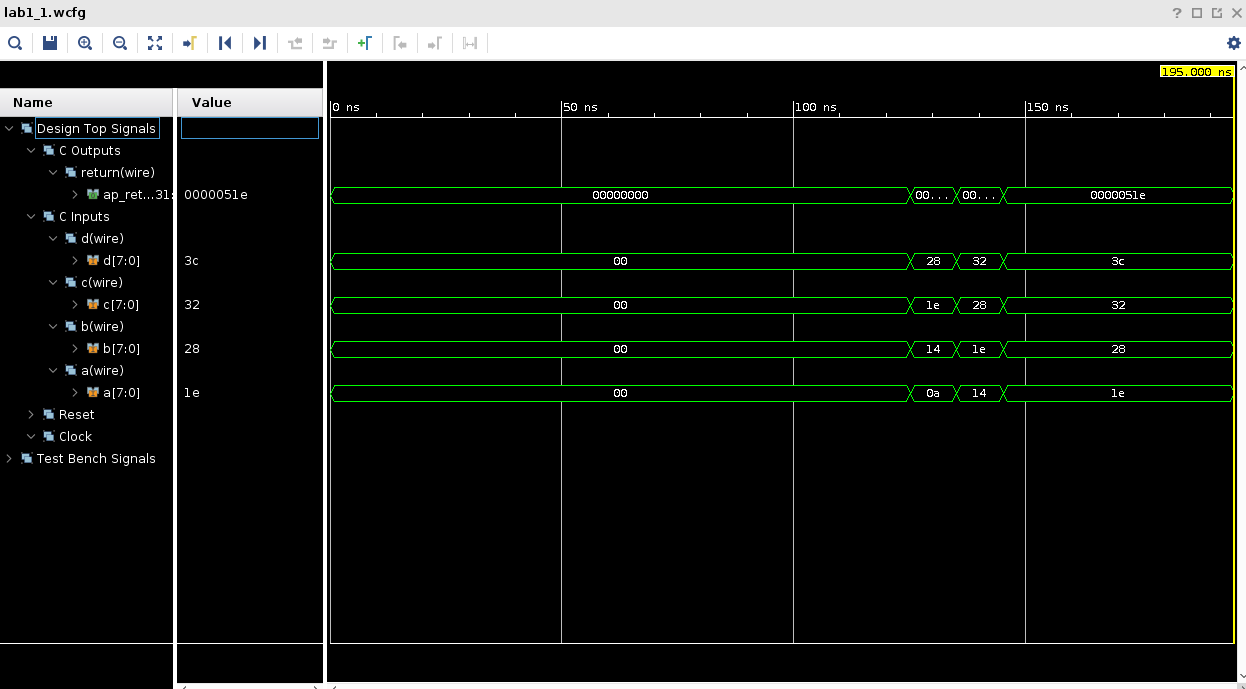


Рис. 5.8. Результат моделирования

1. Выводы

В ходе работы были рассмотрены разные протоколы Block-Level I/O, а именно:

* ap\_ctrl\_chain
* ap\_ctrl\_hs
* ap\_ctrl\_none

Отличие протоколов состоит в количестве дополнительных входов/выходов которые соответствуют определенным целям.